

DMA CONTROLLER

Patent Number: JP5314060
Publication date: 1993-11-26
Inventor(s): OKAZAKI HIROMI; others: 01
Applicant(s): MITSUBISHI ELECTRIC CORP
Requested Patent: JP5314060
Application Number: JP19920121634 19920514
Priority Number(s):
IPC Classification: G06F13/28
EC Classification:
Equivalents:

Abstract

PURPOSE:To decrease transfer cycles by completing transfer at the time of the read/write of DMA transfer just with one line one access without depending on the start address.

CONSTITUTION:This device is provided with the plural pairs of temporary registers 11 and 12 for temporarily storing data from the same data bus 6, shift means 13 and 14 to shift access positions to the temporary registers 11 and 12 for the respective temporary registers 11 and 12, and transfer control means 18 to instruct the shift amount required for accessing the prescribed positions of the respective temporary registers 11 and 12 concerning the temporary data from the data bus 6.

Data supplied from the esp@cenet database - I2

(51)Int.Cl.⁵

G 0 6 F 13/28

識別記号 行内整理番号

3 1 0 L 9072-5B
G 9072-5B

F I

技術表示箇所

審査請求 未請求 請求項の数1(全13頁)

(21)出願番号 特願平4-121634

(22)出願日 平成4年(1992)5月14日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 岡崎 弘美

伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

(72)発明者 北上 尚一

伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

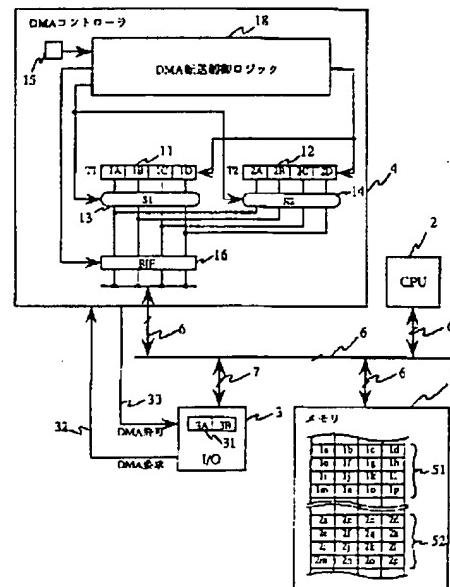
(74)代理人 弁理士 高田 守

(54)【発明の名称】 DMAコントローラ

(57)【要約】

【目的】 DMA転送のリード、ライト時の転送を、その開始アドレスによらないで、1ライン1アクセスで行えるようにして転送サイクルを減らすことを目的とする。

【構成】 同一のデータバスからのデータを一時記憶するテンポラリレジスタを複数組設け、またテンポラリレジスタへのアクセス位置を上記各テンポラリレジスタ毎にシフトするシフト手段と、データバスからのテンポラリ・データを上記各テンポラリレジスタの所定位置へアクセスするために必要なシフト量を指示する転送制御手段を設けた。



- | | |
|---------------------|------------------------|
| 4 : 本発明のDMAコントローラ | 6 : 32ビットデータバス |
| 2 : 32ビットCPU | 7 : 16ビットデータバス |
| 3 : 16ビットデータI/O | 11 : 第一の32ビット長のナンバーリスト |
| 31 : 16ビット長リスト | 12 : 第二の32ビット長のナンバーリスト |
| 32 : I/OババイスDMA要求信号 | 13 : 第一のシフト部 |
| 33 : DMA許可信号 | 14 : 第二のシフト部 |
| 5 : 32ビットデータ用のメモリ | 15 : ソフトウェアDMAスタートビット |
| 51 : 第一のメモリ領域 | 16 : バスインターフェース |
| 52 : 第二のメモリ領域 | 18 : 本発明のDMA転送制御ロジック |

【特許請求の範囲】

【請求項1】 同一のデータバスからのデータを一時記憶するテンポラリレジスタを複数組設け、上記テンポラリレジスタへのアクセス位置を上記各テンポラリレジスタ毎にシフトするシフト手段と、上記データバスからのテンポラリ・データを上記各テンポラリレジスタの所定位置へアクセスするために必要なシフト量を指示する転送制御手段を設けたダイレクト・メモリ・アクセス(DMA)コントローラ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はデータアセンブリ手段をもつDMAコントローラの性能向上に関するものである。

【0002】

【従来の技術】通常、データをメモリどうしや入出力装置の間で転送するときには、CPUを使用する方法が一般的であるが、従来よりデータ処理装置の中にはダイレクトメモリアクセス(Direct Memory Access 以下DMAと記す)転送方式と呼ばれる方法を用いてデータをCPUを介さずに直接メモリ同士や入出力装置との間で転送させて高速化を計っているものもある。

【0003】DMA転送方式の一つにデュアルアドレスモードと呼ばれるものがある。これはまず、転送元(ソース)デバイスのアドレスを出して、上記転送元デバイスからDMAコントローラ内に備えられたDMA転送データ保持用の専用レジスタ(テンポラリレジスタ)にデータを転送する。次に転送先(ディスティネーション)デバイスのアドレスを出して、上記テンポラリレジスタから上記転送先デバイスにデータを転送するものである。上記デュアルアドレスモードによるDMAコントローラには更にデータアセンブリ機能を備えたものがある。このデータアセンブリ機能とは、例えば32ビットDMAコントローラが、16ビットポートの入出力装置からデータバス幅が32ビットのメモリにデータを転送する場合は、まずDMA要求に応じた16ビットデータが32ビットのテンポラリレジスタに32ビット分転送される。その後、一括して32ビット分のデータをメモリの所定の領域に転送する。また、上記32ビットのメモリから16ビットポートの入出力装置にデータを転送する場合は、最初のDMA要求に応じて上記メモリから上記テンポラリレジスタにデータを転送する際に、必要とされる16ビットデータだけでなく続く16ビットデータも同時に転送してしまい、続くDMA要求に対しては単に上記テンポラリレジスタから上記入出力装置に転送する、というものである。

【0004】以下DMAコントローラの従来例を図4～図6を用いてその構成と動作を説明する。図4は従来のDMAコントローラの要部構成を含むシステム構成図で

ある。図において、1は従来の32ビットDMAコントローラ、2は32ビットCPUである。3は16ビットポート入出力装置(以下I/Oとする)で、31は上記I/Oに備えられた16ビット(2バイト)長のレジスタ、32は上記16ビットポートI/O 3から出力されるI/OデバイスDMA要求信号、33は上記I/Oデバイス要求信号32がDMAコントローラ1で受け付けられたことを示すDMA許可信号である。5は32ビットデータ幅のメモリ、51および52は上記メモリ5内の第一および第二のメモリ領域である。6は32ビットの上記DMAコントローラ1や、CPU2およびメモリ5等を接続する32ビットデータバスで、7は上記16ビットポートI/O 3と上記32ビットデータバス6を接続する16ビットデータバスである。また、11は32ビット(4バイト)長のテンポラリレジスタ、13はシフト部、15はソフトウェアによりセットされてDMA転送を指定するDMAスタートビット、16はバスインターフェース、17はDMA転送制御ロジックであり、いずれも上記従来のDMAコントローラ1に備えられている。このDMA転送制御ロジック17は、I/O 3により出力されたDMA要求32あるいはDMAスタートビット15に従って、DMA許可信号33、転送元アドレス、転送先アドレスの出力やテンポラリレジスタ11、シフト部13、バスインターフェース16などの制御情報の生成などを行なう。

【0005】次に従来例の動作を説明する。図5、図6は上記従来例における各種DMA転送のタイミング概略図である。図5はメモリ～メモリDMA転送、図6はI/O～メモリDMA転送の概略を示す。図中、RQ-1、…はI/O 3からDMAコントローラ1へのDMA要求を示し、DMA許可はDMAコントローラ1からI/O 3へのDMA許可信号を示す。また1-R、…はメモリ領域51、52あるいはI/O 3からのテンポラリレジスタ11への転送サイクル、1-W、…はテンポラリレジスタ11からメモリ領域51、52あるいはI/O 3への転送サイクルを示す。

【0006】次にソースとディスティネーションの転送開始バイト位置の異なるメモリ～メモリDMA転送動作について図4、図5を用いて説明する。図5に示すような第一のメモリ領域51のアドレス1c～1nに格納されている12バイトのデータを、第二のメモリ領域52のアドレス2b～2mにDMA転送する場合を考える。まず、CPU2が、転送元アドレス、転送先アドレス、転送のサイズなどの情報をDMA転送制御ロジック17にプログラムした後、ソフトウェアの要求に従ってDMAコントローラ1のソフトウェアDMAスタートビット15をセットし、転送を指示する(図5(2))。DMA転送制御ロジック17はバス権を獲得して、上記の情報に従い、テンポラリレジスタ11、シフト部13、バスインターフェース16に制御信号を出力し、DMA転

送サイクルを開始する(図5(3))。DMA転送はソフトウェアで指定されたサイズのデータの転送を終了するまで続けられる。

【0007】図5(3)に示す第1 DMAサイクルでは、第一のメモリ領域51のアドレス1cと1dの内容をデータバス6とバスインターフェース16を通じてシフト部13に入力し、シフト部13で1バイト分シフトしてテンポラリレジスタ11の1Bと1Cに転送する(1-R)。第2 DMAサイクルでは、第一のメモリ領域51のアドレス1eの内容をデータバス6とバスインターフェース16を通じてシフト部13に入力し、シフト部13で1バイト分シフトしてテンポラリレジスタ11の1Dに転送する(2-R)。テンポラリレジスタ11がデータで満たされると、次の第3 DMAサイクルでは、テンポラリレジスタ11の1B、1C、1Dの内容がバスインターフェース16とデータバス6を通じて、一度に第二のメモリ領域52のアドレス2b、2c、2dに転送される(1-W)。

【0008】第4 DMAサイクルでは、第一のメモリ領域51のアドレス1f、1g、1hの内容をデータバス6とバスインターフェース16を通じてシフト部13に入力し、シフト部13で1バイト分シフトしてテンポラリレジスタ11の1A、1B、1Cに転送する(3-R)。第5 DMAサイクルでは、第一のメモリ領域51のアドレス1iの内容をデータバス6とバスインターフェース16を通じてシフト部13に入力し、シフト部13で1バイト分シフトしてテンポラリレジスタ11の1Dに転送する(4-R)。テンポラリレジスタ11がデータで満たされると、次の第6 DMAサイクルでは、テンポラリレジスタ11の内容がバスインターフェース16とデータバス6を通じて、一度に第二のメモリ領域52のアドレス2e、2f、2g、2hに転送される(2-W)。

【0009】同様に、第7 DMAサイクルでは、第一のメモリ領域51のアドレス1j、1k、1lの内容をテンポラリレジスタの1A、1B、1Cに転送し(5-R)、第8 DMAサイクルでは、第一のメモリ領域51のアドレス1mの内容をテンポラリレジスタ11の1Dに転送する(6-R)。第9 DMAサイクルでは、テンポラリレジスタ11の内容が一度に第二のメモリ領域52のアドレス2i、2j、2k、2lに転送される(3-W)。第10 DMAサイクルでは、第一のメモリ領域51のアドレス1nの内容をテンポラリレジスタの1Aに転送(7-R)し、その内容が第11 DMAサイクルで第二のメモリ領域52のアドレス2mに転送される(4-W)。ソフトウェアで指定されたサイズのデータ転送が終わるとDMAはバス権を解放し、DMA転送を終了する。

【0010】次に、図6に示すようにI/O3に入力されたデータを、アライメントのとれていない第二のメ

モリ領域52のアドレス2dよりDMA転送する場合を説明する。まず、I/O3のDMA要求信号32がDMAコントローラ1に入力されると(図6(5))、DMAコントローラ1はバス権を獲得してI/O3にDMA許可信号33を出力し(図6(6))、DMA転送を開始する。まず、RQ-1が入力されると(図6(5))、DMAコントローラ1はバス権を獲得し、I/O3にDMA許可を出力する(図6(6))とともに、レジスタ31のデータ3A、3Bをデータバス6とバスインターフェース16を通じてシフト部13に入力し、シフト部13で2バイト分シフトしてテンポラリレジスタ11の1Aと1Bに転送する(1-R)。次に、RQ-2が入力されると、DMAコントローラ1はバス権を獲得し、I/O3にDMA許可を出力するとともに、レジスタ31のデータ3A、3Bをデータバス6とバスインターフェース16を通じてシフト部13に入力し、シフト部13ではシフトせずテンポラリレジスタ11の1Cと1Dに転送する(2-R)。

【0011】テンポラリレジスタ11がデータで満たされると、バス権を獲得したまま、まず1A、1B、1Cの内容がシフト部13で1バイト分シフトされて、バスインターフェース16に転送され、データバス6を通じて、第二のメモリ領域52のアドレス2b、2c、2dに転送される(1-W)。続いて1Dの内容がシフト部13で1バイト分シフトされて、バスインターフェース16に転送され、データバス6を通じて、第二のメモリ領域52のアドレス2eに転送される(2-W)。メモリへの転送が終了した後、次のI/O3のDMA要求RQ-3が受け付けられると、DMAコントローラ1はバス権を獲得して、I/O3にDMA許可を出力するとともに、レジスタ31のデータ3A、3Bをデータバス6とバスインターフェース16を通じてシフト部13に入力し、シフト部13で2バイト分シフトしてテンポラリレジスタ11の1Aと1Bに転送する(3-R)。

【0012】次に、RQ-4が入力されると、DMAコントローラ1はバス権を獲得し、I/O3にDMA許可を出力するとともに、レジスタ31のデータ3A、3Bをデータバス6とバスインターフェース16を通じてシフト部13に入力し、シフト部13ではシフトせずテンポラリレジスタ11の1Cと1Dに転送する(4-R)。テンポラリレジスタ11がデータで満たされると、バス権を獲得したまま、まず1A、1B、1Cの内容がシフト部13で1バイト分シフトされて、バスインターフェース16に転送され、データバス6を通じて、第二のメモリ領域52のアドレス2f、2g、2hに転送される(3-W)。続いて1Dの内容がシフト部13で1バイト分シフトされて、バスインターフェース16に転送され、データバス6を通じて、第二のメモリ領域52のアドレス2iに転送される(4-W)。メモリへの転送が終了すると次のI/O3のDMA要求RQ-

うが受け付けられ、DMAコントローラ1はバス権を獲得して、I/O_3にDMA許可を出力するとともに、レジスタ3_1のデータ3_A、3_Bをデータバス6とバスインターフェース1_6を通じてシフト部1_3に入力し、シフト部1_3で2バイト分シフトしてテンポラリレジスタ1_1の1_Aと1_Bに転送する(5-R)。

【0013】次に、RQ-6が入力されると、DMAコントローラ1はバス権を獲得し、I/O_3にDMA許可を出力するとともに、レジスタ3_1のデータ3_A、3_Bをデータバス6とバスインターフェース1_6を通じてシフト部1_3に入力し、シフト部1_3ではシフトせずにテンポラリレジスタ1_1の1_Cと1_Dに転送する(6-R)。テンポラリレジスタ1_1がデータで満たされたと、バス権を獲得したまま、まず1_A、1_B、1_Cの内容がシフト部1_3で1バイト分シフトされて、バスインターフェース1_6に転送され、データバス6を通じて、第二のメモリ領域5_2のアドレス2_j、2_k、2_lに転送される(5-W)，続いて1_Dの内容がシフト部1_3で1バイト分シフトされて、バスインターフェース1_6に転送され、データバス6を通じて、第二のメモリ領域5_2のアドレス2_mに転送される(6-W)。同様にI/O_3からのDMA要求3_2があるときは以上の動作を繰り返し、I/O_3のDMA要求3_2がなくなればDMA転送を終了し、バス権を解放する。

【0014】

【発明が解決しようとする課題】従来のDMAコントローラは以上のように構成され、テンポラリレジスタが1本であるため、転送に関わるソースとディスティネーションのDMA転送開始バイト位置が異なる場合には、ラインの全バイトの一度でのリードができない。そのため、次のリードサイクルで同一ラインの残りの部分を再びアクセスしなければならない。このため転送速度が落ちるという課題があった。またソースの1ラインリードごとに、ディスティネーションの2ラインにライトを行なう場合にも、2ライン目のライトを行なうのに2度のライト動作が必要で、転送速度が落ちるという課題があった。

【0015】この発明はかかる課題を解決するためになされたもので、リード、ライト時共に1ライン1アクセスで転送を行えるようにしてDMA転送サイクルを減らし、高速化を図ることを目的とする。

【0016】

【課題を解決するための手段】この発明に係るDMAコントローラは、同一のデータバスからのデータを一時記憶するテンポラリレジスタを複数組設け、またテンポラリレジスタへのアクセス位置を上記各テンポラリレジスタ毎にシフトするシフト手段と、データバスからのテンポラリデータを上記各テンポラリレジスタの所定位置へアクセスするために必要なシフト量を指示する転送制御手段を設けた。

【0017】

【作用】この発明における、DMAコントローラでは、ソースとディスティネーションのDMA転送開始バイト位置が異なる場合にも、テンポラリレジスタの所定位置に書き込み、また読み出しが所定位置からシフトしてを行い、テンポラリレジスタはリードサイクルごとに交互に使用される。

【0018】

【実施例】

実施例1.以下、本発明のDMAコントローラの実施例を図を用いて説明する。図1は本発明のDMAコントローラの要部構成を含むシステム構成図である。図において、4は本発明での新規な32ビットDMAコントローラである。また、2は32ビットCPUで、3は16ビットポート入出力装置(以下I/Oとする)、3_1は上記I/Oに備えられた16ビット(2バイト)長のレジスタ、3_2は上記16ビットポートI/O_3から出力されるI/OデバイスDMA要求信号、3_3は上記I/Oデバイス要求信号3_2がDMAコントローラ1で受け付けられたことを示すDMA許可信号で、いずれも従来例と同等のものである。5は32ビットデータ幅のメモリ、5_1および5_2は上記メモリ5内の一第一および第二のメモリ領域、6は32ビットの上記DMAコントローラ1、CPU2およびメモリ5等を接続する32ビットデータバス、7は上記16ビットポートI/O_3と上記32ビットデータバス6を接続する16ビットデータバスで、やはり従来例と同等のものである。

【0019】さらに、新規な構成として、1_1は第一の32ビット(4バイト)長のテンポラリレジスタ、1_2は第二の32ビット(4バイト)長のテンポラリレジスタである。1_3は第一のテンポラリレジスタ1_1のシフト部、1_4は第二のテンポラリレジスタ1_2のシフト部で、やはり新規な構成要素である。また、1_5はソフトウェアによりセットされてメモリー→メモリDMA転送を行なうことを指定するソフトウェアDMAスタートビット、1_6はバスインターフェースで従来例と同等部分である。1_8はDMA転送制御ロジックである。その機能は、I/O_3により出力されたDMA要求3_2あるいはDMAスタートビット1_5に従って、DMA許可信号3_3、転送元アドレス、転送先アドレスの出力や、第一のテンポラリレジスタ1_1とそのシフト部1_3、第二のテンポラリレジスタ1_2とそのシフト部1_4、バスインターフェース1_6などの制御情報の生成などを行なう。

【0020】次に動作を説明する。図2、図3は上記本発明における各種DMA転送のタイミング概略図である。図2はメモリー→メモリDMA転送、図3はI/O→メモリDMA転送の概略を示す。図中、RQ-1、・・・はI/O_3からのDMA要求を示し、DMA許可はDMAコントローラ4からI/O_3へのDMA許可信号を示す。また1-R、・・・はメモリ領域5_1、5_2

あるいはI/O 3からのテンポラリレジスタ11またはテンポラリレジスタ12への転送サイクル、1-W、・・・はテンポラリレジスタ11またはテンポラリレジスタ12からメモリ領域51、52あるいはI/O 3への転送サイクルを示す。

【0021】次にソースとディスティネーションの転送開始バイト位置の異なるメモリーメモリDMA転送動作について図1、図2を用いて説明する。図2に示すような第一のメモリ領域51のアドレス1c～1nに格納されている12バイトのデータを、第二のメモリ領域52のアドレス2b～2mにDMA転送する場合を考える。まず、CPU2が、転送元アドレス、転送先アドレス、転送のサイズなどの情報をDMA転送制御ロジック18にプログラムした後、ソフトウェアの要求に従ってDMAコントローラ4のソフトウェアDMAスタートビット15をセットして、転送を指示する(図2(2))。DMA転送制御ロジック18はバス権を獲得し、上記の情報に従い、第一のテンポラリレジスタ11とそのシフト部13、第二のテンポラリレジスタ12とそのシフト部14、バスインターフェース16に制御信号を出し、DMA転送サイクルを開始する(図2(3))。DMA転送はソフトウェアで指定されたサイズのデータの転送を終了するまで続けられる。

【0022】図2(3)に示す第1 DMAサイクルでは、第一のメモリ領域51のアドレス1cと1dの内容をデータバス6、バスインターフェース16、シフト部13を通じて第一のテンポラリレジスタ11の1Cと1Dに転送する(1-R)。第2 DMAサイクルでは、第一のメモリ領域51のアドレス1e、1f、1g、1hの内容をデータバス6、バスインターフェース16、シフト部14を通じて第二のテンポラリレジスタ12の2A、2B、2C、2Dに転送する(2-R)。第一のテンポラリレジスタ11と第二のテンポラリレジスタ12がデータで満たされると、次の第3 DMAサイクルでは、第一のテンポラリレジスタ11の1C、1Dの内容が第一のシフト部13で1バイトシフトされてバスインターフェース16に出力される。同時に第二のテンポラリレジスタ12の2Aの内容が第二のシフト部14で1バイトシフトされてバスインターフェース16に出力される。これらはデータバス6を通じて、一度に第二のメモリ領域52のアドレス2b、2c、2dに転送される(1-W)。

【0023】第4 DMAサイクルでは、第一のメモリ領域51のアドレス1i、1j、1k、1lの内容をデータバス6、バスインターフェース16、第一のシフト部13を通じてテンポラリレジスタ11の1A、1B、1C、1Dに転送する(3-R)。テンポラリレジスタ11がデータで満たされると、第5 DMAサイクルでは、第二のテンポラリレジスタ12の2B、2C、2Dの内容が第二のシフト部14で3バイトシフトされてバス

インターフェース16に出力される。同時に第一のテンポラリレジスタ11の1Aの内容が第一のシフト部13で3バイトシフトされてバスインターフェース16に出力される。これらはデータバス6を通じて、一度に第二のメモリ領域52のアドレス2e、2f、2g、2hに転送される(2-W)。

【0024】第6 DMAサイクルでは、第一のメモリ領域51のアドレス1m、1nの内容をデータバス6、バスインターフェース16、第二のシフト部14を通じてテンポラリレジスタ12の2A、2Bに転送する(4-R)。テンポラリレジスタ12がデータで満たされると、第7 DMAサイクルでは、第一のテンポラリレジスタ11の1B、1C、1Dの内容が第一のシフト部13で3バイトシフトされてバスインターフェース16に出力される。同時に第二のテンポラリレジスタ12の2Aの内容が第二のシフト部14で3バイトシフトされてバスインターフェース16に出力される。これらはデータバス6を通じて、一度に第二のメモリ領域52のアドレス2i、2j、2k、2lに転送される(3-W)。最後に第8 DMAサイクルでは、第二のテンポラリレジスタ12の2Bの内容が第二のシフト部14で3バイトシフトされてバスインターフェース16に出力され、データバス6を通じて、第二のメモリ領域52のアドレス2mに転送される(4-W)。ソフトウェアで指定されたサイズのデータ転送が終わるとDMAはバス権を解放し、DMA転送を終了する。尚、当実施例においてメモリアドレスのアライメントがソース、ディスティネーション共にとれている場合はテンポラリレジスタは1本のみ使用して従来のDMA転送を行なってもよい。

【0025】また図3に示すようにI/O 3に入力されたデータを、アライメントのとれていない第二のメモリ領域52のアドレス2bよりDMA転送する場合の動作を説明する。まず、I/O 3のDMA要求信号32がDMAコントローラ4に入力されると(図3(5))、DMAコントローラ4はバス権を獲得してI/O 3にDMA許可信号33を出力し(図3(6))、DMA転送を開始する。まず、RQ-1が入力されると(図3(5))、DMAコントローラ4はバス権を獲得し、I/O 3にDMA許可を出力する(図3(6))とともに、レジスタ31のデータ3A、3Bをデータバス6とバスインターフェース16を通じて第一のシフト部13に入力する。そして、第一のシフト部13で2バイト分シフトしてテンポラリレジスタ11の1Aと1Bに転送する(1-R)。次に、RQ-2が入力されると、DMAコントローラ4はバス権を獲得し、I/O 3にDMA許可を出力するとともに、レジスタ31のデータ3A、3Bをデータバス6とバスインターフェース16を通じて第一のシフト部13に入力する。そして、第一のシフト部13ではシフトせずにテンポラリレジスタ11の1Cと1Dに転送する(2-R)。

【0026】次に、RQ-3が入力されると、DMAコントローラ4はバス権を獲得し、I/O_3にDMA許可を出力するとともに、レジスタ31のデータ3A、3Bをデータバス6とバスインターフェース16を通じて第二のシフト部14に入力する。そして、第二のシフト部14で2バイト分シフトしてテンポラリレジスタ12の2Aと2Bに転送する(3-R)。次に、RQ-4が入力されると、DMAコントローラ4はバス権を獲得し、I/O_3にDMA許可を出力するとともに、レジスタ31のデータ3A、3Bをデータバス6とバスインターフェース16を通じて第二のシフト部14に入力する。そして、第二のシフト部14ではシフトせずにテンポラリレジスタ12の2Cと2Dに転送する(4-R)。第一のテンポラリレジスタ11と第二のテンポラリレジスタ12がデータで満たされると、バス権を獲得したまま、まず第一のテンポラリレジスタ11の1A、1B、1Cの内容が第一のシフト部13で1バイト分シフトされる。そして、バスインターフェース16に転送され、データバス6を通じて、第二のメモリ領域52のアドレス2b、2c、2dに転送される(1-W)。続いて、第一のテンポラリレジスタ11の1Dの内容が第一のシフト部13で1バイト分シフトされてバスインターフェース16に転送される。同時に第二のテンポラリレジスタ2A、2B、2Cの内容が第二のシフト部14で1バイト分シフトされてバスインターフェース16に転送される。そして、データバス6を通じて、第二のメモリ領域52のアドレス2e、2f、2g、2hに転送される(2-W)。

【0027】第一のテンポラリレジスタ11のデータがなくなると、RQ-5が受け付けられ、DMAコントローラ4はバス権を獲得する。I/O_3にDMA許可を出力するとともに、レジスタ31のデータ3A、3Bをデータバス6とバスインターフェース16を通じて第一のシフト部13に入力する。そして、第一のシフト部13で2バイト分シフトしてテンポラリレジスタ11の1Aと1Bに転送する(5-R)。次にRQ-6が入力されると、DMAコントローラ4はバス権を獲得し、I/O_3にDMA許可を出力するとともに、レジスタ31のデータ3A、3Bをデータバス6とバスインターフェース16を通じて第一のシフト部13に入力する。第一のシフト部13ではシフトせずにテンポラリレジスタ11の1Cと1Dに転送する(6-R)。第一のテンポラリレジスタ11がデータで満たされると、バス権を獲得したまま、まず第二のテンポラリレジスタ12の2Dの内容が第二のシフト部14で1バイト分シフトされてバスインターフェース16に転送される。同時に第一のテンポラリレジスタ1A、1B、1Cの内容が第一のシフト部13で1バイト分シフトされて、バスインターフェース16に転送され、データバス6を通じて、第二のメモリ領域52のアドレス2i、2j、2k、2lに転送

される(3-W)。同様にI/O_3からのDMA要求32があるときは以上の動作を繰り返し、I/O_3のDMA要求32がなくなればDMA転送を終了し、バス権を解放する。

【0028】尚上記実施例においてメモリアドレスのアライメントがとれている場合はテンポラリレジスタは1本のみ使用して従来のDMA転送を行なってもよい。なお上記実施例は16ビットI/O、32ビットメモリからなる32ビットDMAシステムを例にとったが、これに限るものではない。

【0029】実施例2、上記実施例ではシフト部は、テンポラリレジスタからメモリまたはI/Oポートへデータを転送する際にシフトする構成とした。ここでの実施例では、テンポラリレジスタ11と12をリング状に接続し、シフトによって例えば1Aに入るべきデータが2Dに入る、また、2Aに入るべきデータが1Dに入るよう構成する。動作としては、外部のメモリまたはI/Oポートからのデータをテンポラリレジスタに転送し、書き込む際にシフトして書き込む。次にテンポラリレジスタから読み出してメモリまたはI/Oポートへ転送する際は、そのまま1ライン読み出し、転送動作をさせる。以上のようにしても全く同じ効果が得られる。

【0030】

【発明の効果】以上のようにこの発明によれば、複数のテンポラリレジスタを備えて、リードサイクルごとに交互に使用するようにしたので、メモリアクセスにおけるリード、ライトを共に1ラインに1アクセスでDMA転送を行なうことができ、転送サイクルを減らして高速化する効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例であるDMAコントローラのシステム構成図である。

【図2】本発明の実施例のDMAコントローラを用いたメモリからメモリへのDMA転送のタイミング説明図である。

【図3】本発明の実施例のDMAコントローラを用いたI/OデバイスからメモリへのDMA転送のタイミング説明図である。

【図4】従来のDMAコントローラのシステム構成図である。

【図5】従来のDMAコントローラを用いたメモリからメモリへのDMA転送のタイミング説明図である。

【図6】従来のDMAコントローラを用いたI/OデバイスからメモリへのDMA転送のタイミング説明図である。

【符号の説明】

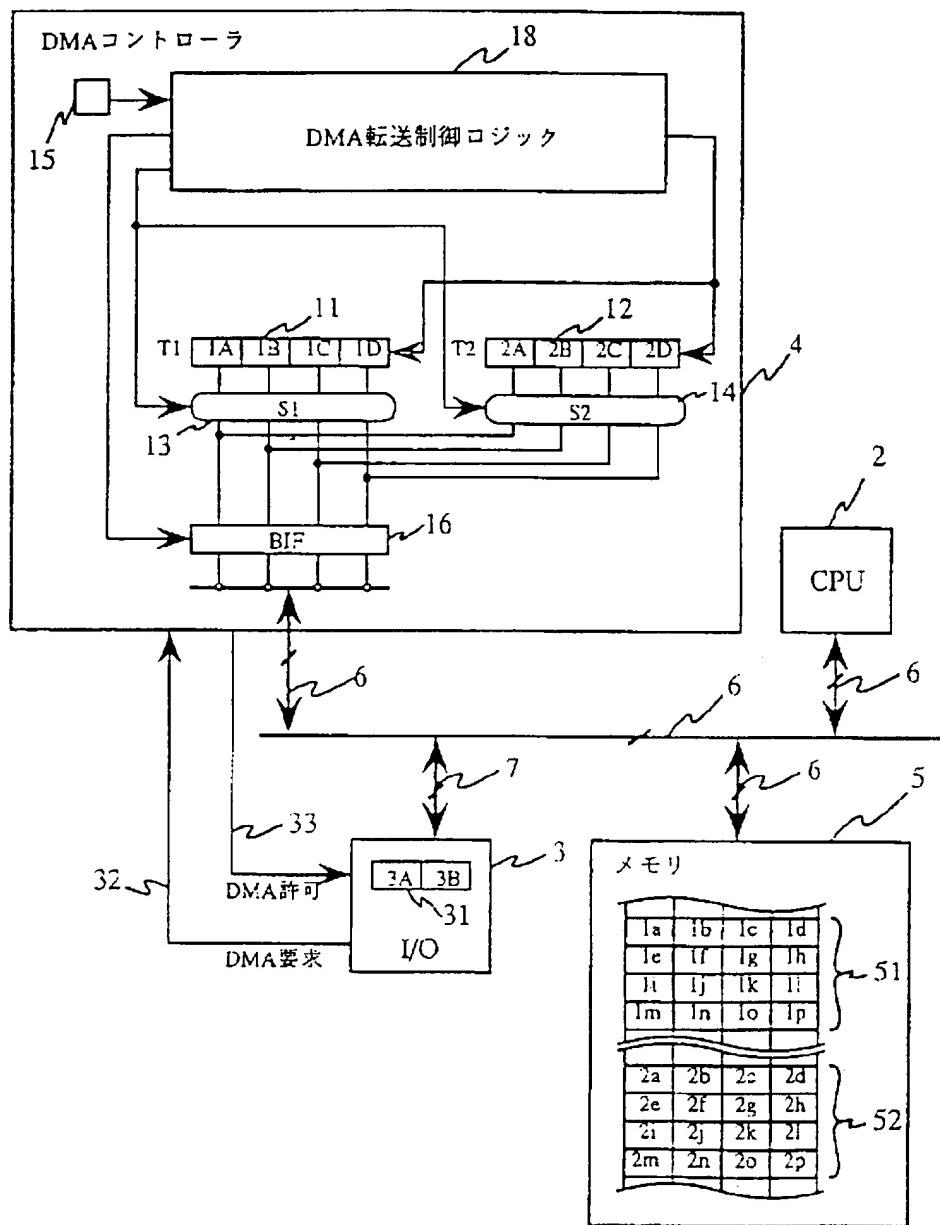
4 32ビットDMAコントローラ

5 32ビットデータ幅のメモリ

1.1 第一の32ビット(4バイト)長のテンポラリレジスタ

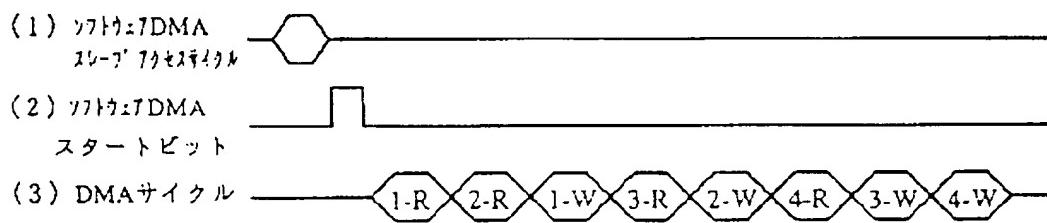
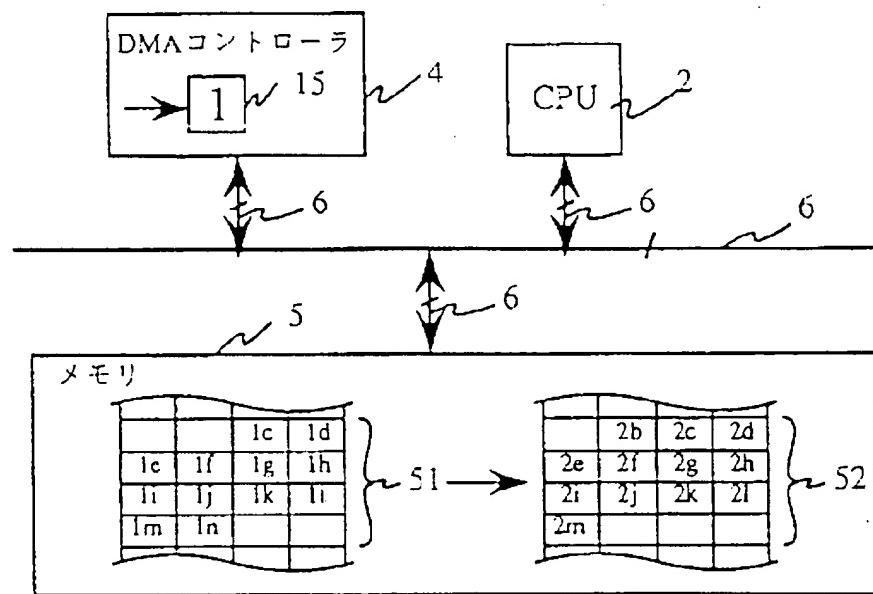
- | | |
|------------------------------|--------------------|
| 12 第二の32ビット(4バイト)長のテンポラリレジスタ | 16 バスインターフェース |
| 13 第一のテンポラリレジスタ11のシフト部 | 18 本発明のDMA転送制御ロジック |
| 14 第二のテンポラリレジスタ12のシフト部 | 51 第一のメモリ領域 |
| | 52 第二のメモリ領域 |

【図1】

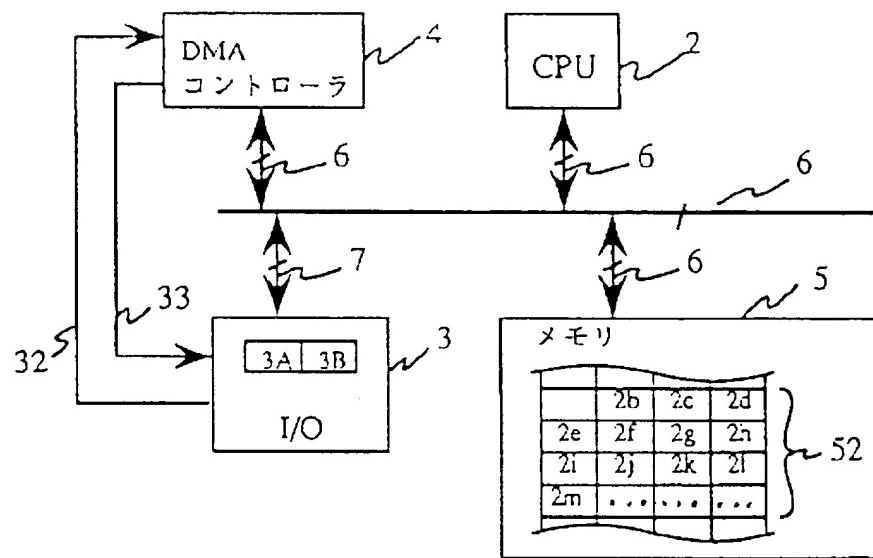


- | | |
|---------------------|--------------------------|
| 4 : 本発明のDMAコントローラ | 6 : 32ビットデータバス |
| 2 : 32ビットCPU | 7 : 16ビットデータバス |
| 3 : 16ビットポートI/O | 11 : 第一の32ビット長のテンポラリレジスタ |
| 31 : 16ビット長レジスタ | 12 : 第二の32ビット長のテンポラリレジスタ |
| 32 : I/OデバイスDMA要求信号 | 13 : 第一のシフト部 |
| 33 : DMA許可信号 | 14 : 第二のシフト部 |
| 5 : 32ビットデータ幅のメモリ | 15 : ソフトウェアDMAスタートビット |
| 51 : 第一のメモリ領域 | 16 : バスインターフェース |
| 52 : 第二のメモリ領域 | 18 : 本発明のDMA転送制御ロジック |

【図2】

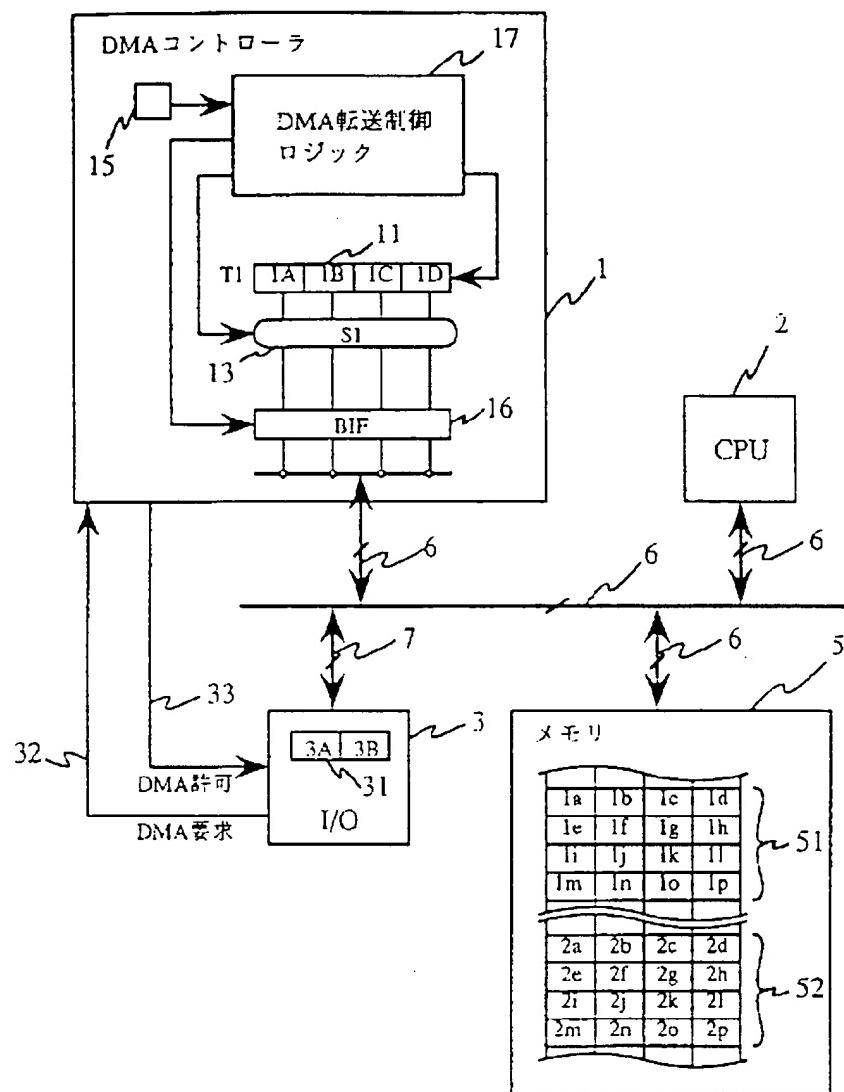


【図3】



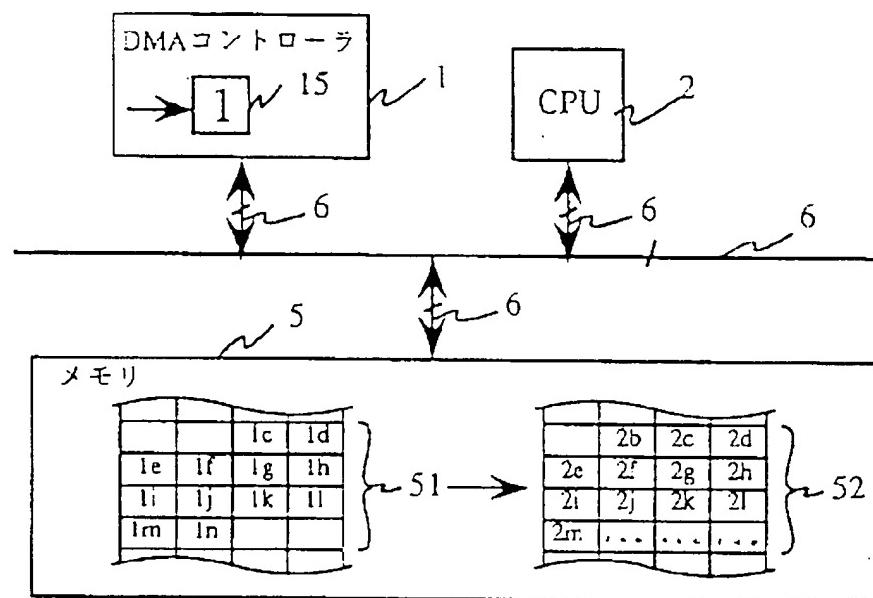
- (4) DMA要求のタイミング
RQ-1 RQ-2 RQ-3 RQ-4 RQ-5 RQ-6
- (5) DMA要求
- (6) DMA許可
- (3) DMAサイクル —— 1-R 2-R 3-R 4-R 1-W 2-W 5-R 6-R 3-W 4-W ——

【図4】



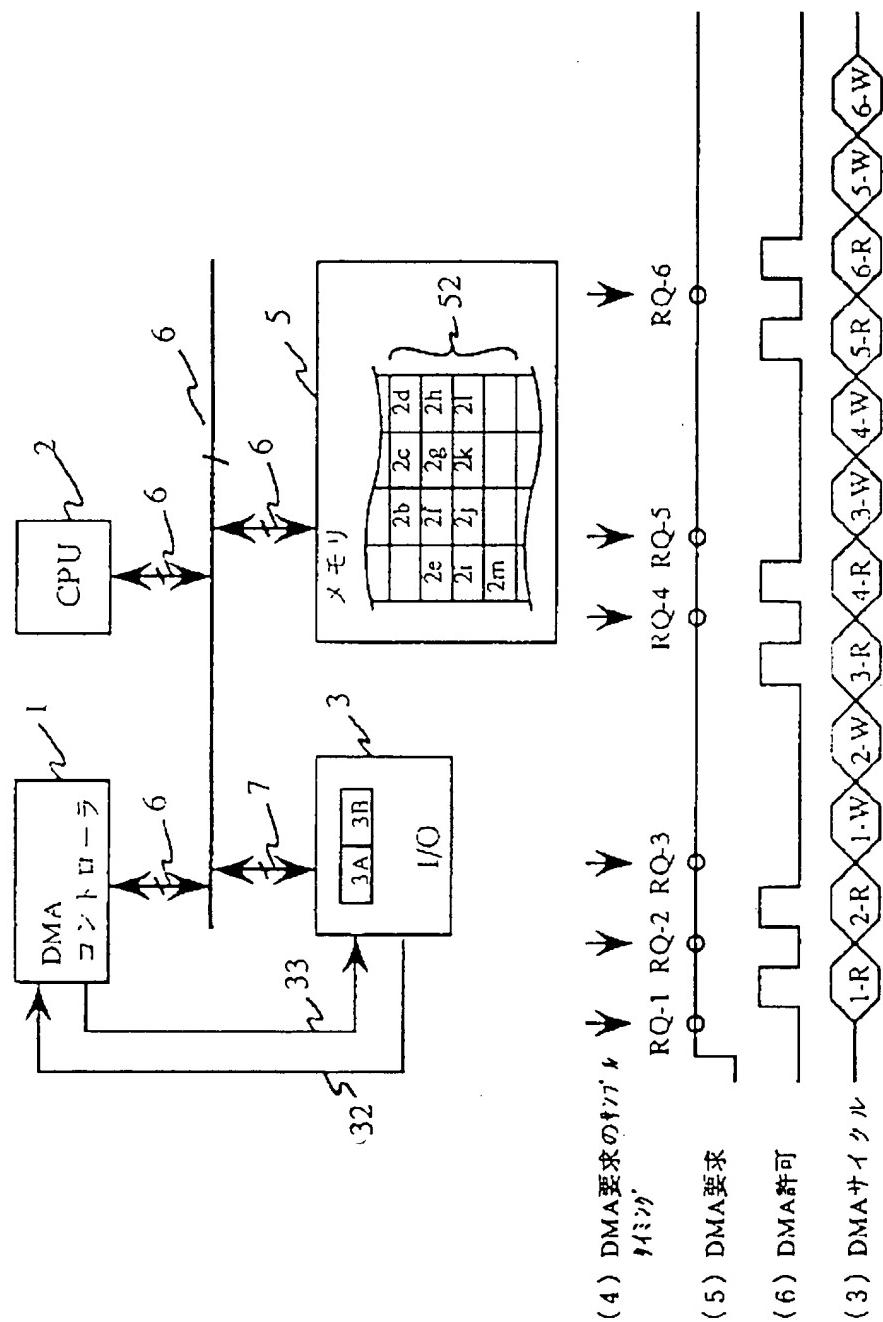
- | | |
|---------------------|-----------------------|
| 1 : 従来のDMAコントローラ | 6 : 32ビットデータバス |
| 2 : 32ビットCPU | 7 : 16ビットデータバス |
| 3 : 16ビットポートI/O | 11 : 32ビット長のテンボラリレジスタ |
| 31 : 16ビット長レジスタ | 13 : シフト部 |
| 32 : I/OデバイスDMA要求信号 | 15 : ソフトウェアDMAスタートビット |
| 33 : DMA許可信号 | 16 : バスインターフェース |
| 5 : 32ビットデータ幅のメモリ | 17 : 従来のDMA転送制御ロジック |
| 51 : 第一のメモリ領域 | |
| 52 : 第二のメモリ領域 | |

【図5】



- (1) DMAスレーブアクティベイブル
- (2) DMA DMA スタートビット
- (3) DMAサイクル

【図6】



【手続補正書】

【提出日】平成4年10月7日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】、

【0014】

【発明が解決しようとする課題】従来のDMAコントローラは以上のように構成され動作していたが、テンポラ

リレジスタが1本であるため、上記のように転送に関わるソースとディスティネーションのDMA転送開始バイト位置が異なる場合、ディスティネーションの1ラインに書き込むデータをそろえるために、ソースの2ラインのリードが必要な場合、2ライン目のソースをリードするときにはラインの全バイトのリードができない。そのため、次のリードサイクルで全バイトのリードができないかった同一ラインを再びアクセスしなければならず、速度が落ちるという課題があった。またソースの1ライン

リードごとに、ディスティネーションの2ラインにライトを行なう場合では、2ライン目のライトを行なうときにはラインの全バイトのライトができないため、次のライトサイクルで全バイトのライトができなかつた同一ラインに再びアクセスしなければならず、速度が落ちるという課題があった。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正内容】

【0029】実施例2、尚上記実施例ではシフト部で、テンポラリレジスタからデータを読み出して外部のメモリまたはI/Oポートへ転送する際にシフトすることとしたが、外部のメモリまたはI/Oポートからテンポラリレジスタへデータを転送する際にシフトして書き込むことにしても同様の効果が得られる。